



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q80092

Sachiko EDO

Appln. No.: 10/790,740

Group Art Unit: Unknown

Confirmation No.: Unknown

Examiner: Unknown

Filed: March 3, 2004

For: CLOCK SYNCHRONOUS TYPE SEMICONDUCTOR MEMORY DEVICE

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosures: Japan 2003-061420

Date: May 14, 2004

US
954

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 1 4 2 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 1 4 2 0]

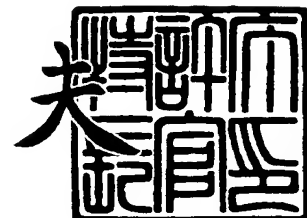
出 願 人 エルピーダメモリ株式会社
Applicant(s):



2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 4 9 6

【書類名】 特許願

【整理番号】 22310075

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/409

【発明者】

 【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社内

 【氏名】 江戸 幸子

【特許出願人】

 【識別番号】 500174247

 【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0114854

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック同期式半導体記憶装置

【特許請求の範囲】

【請求項 1】 入力するクロックに関するクロック情報を記憶するクロック情報記憶部と、

前記クロックに同期する内部クロックに基づいて複数の動作タイミングを生成する動作タイミング生成部と、

前記クロック情報に基づいて前記複数の動作タイミングから特定の動作タイミングを選択するタイミング切替部と

を具備するクロック同期式半導体記憶装置。

【請求項 2】 前記クロック情報は、
前記クロックの周波数または周期を識別するコード化したデータである
請求項 1 に記載のクロック同期式半導体記憶装置。

【請求項 3】 前記動作タイミングは、
センスアンプを活性化するタイミングと、
データアンプを活性化するタイミングと
の少なくとも一方を含む請求項 1 または請求項 2 に記載のクロック同期式半導体記憶装置。

【請求項 4】 前記動作タイミング生成部は、
前記内部クロックを計数する計数回路と、
遅延を生成する組合せ回路による遅延回路と
を含む請求項 1 から請求項 3 のいずれかに記載のクロック同期式半導体記憶装置。

【請求項 5】 外部から前記クロック情報を入力する外部接続端子を有する
請求項 1 から請求項 4 のいずれかに記載のクロック同期式半導体記憶装置。

【請求項 6】 前記クロック情報記憶部は、予め設定された前記クロック情報を有する

請求項 1 から請求項 4 のいずれかに記載のクロック同期式半導体記憶装置。

【請求項 7】 入力するクロックに関するクロック情報を記憶するクロック

情報記憶ステップと、

前記クロックに同期する内部クロックに基づいて複数の動作タイミングを生成する動作タイミング生成ステップと、

前記クロック情報に基づいて前記複数の動作タイミングから特定の動作タイミングを選択するタイミング切替ステップと

を具備するクロック同期式半導体記憶装置制御方法。

【請求項 8】 前記クロック情報は、

前記クロックの周波数または周期を識別するコード化したデータである

請求項 7 に記載のクロック同期式半導体記憶装置制御方法。

【請求項 9】 前記動作タイミングは、

センスアンプを活性化するタイミングと、

データアンプを活性化するタイミングと

の少なくとも一方を含む請求項 7 または請求項 8 に記載のクロック同期式半導体記憶装置制御方法。

【請求項 10】 前記動作タイミング生成ステップは、

前記内部クロックを計数する計数ステップと、

前記内部クロックと非同期に遅延を生成する遅延ステップと

を含む請求項 7 から請求項 9 のいずれかに記載のクロック同期式半導体記憶装置制御方法。

【請求項 11】 外部から前記クロック情報を入力する外部接続端子を有する

請求項 7 から請求項 10 のいずれかに記載のクロック同期式半導体記憶装置制御方法。

【請求項 12】 前記クロック情報記憶ステップは、予め設定された前記クロック情報を有する

請求項 7 から請求項 10 のいずれかに記載のクロック同期式半導体記憶装置制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックに同期して動作する半導体メモリに関し、特に内部回路のタイミング信号を生成する技術に関する。

【0 0 0 2】**【従来の技術】**

従来のクロック同期式半導体記憶装置の構成と動作について特許文献 1 を参照して説明する。

【0 0 0 3】

クロック同期式半導体記憶装置は、動作を示すコマンドをクロック信号に同期して与えて動作させる形式のメモリであり、外部接続端子から入力する制御信号線やアドレス信号線はすべてクロック信号に同期している。クロック同期式半導体記憶装置のメモリチップは、いくつかのバンクと称されるメモリブロックが集まって一つのメモリチップとして機能する。要求された動作を行うメモリブロックは、バンクアドレスによって指定される。

【0 0 0 4】

外部接続端子から入力するクロック信号に同期する内部クロック I C L K は、内部の回路各部へ供給され、動作の基準となる。コマンドは、複数の制御線入力によって表され、クロック信号に同期して入力される。入力されたコマンドは、コマンドデコーダによって解釈される。コマンドデコーダは、ステートマシンであり、外部接続端子から入力する信号（コマンド）に基づいて動作を決定し、内部クロック I C L K に同期して、行選択制御信号 A R A S、B R A S、列選択制御信号 C A S、読み出し信号 R E A D、書き込み信号 W R I T E、バンク活性化信号 B A N K などその動作に必要な内部信号を生成する。

【0 0 0 5】

複数あるバンクの一つの構成を図 5 に示す。バンク 1 0 は、セルアレイ 1 3、ラッチ回路 1 7、ラッチ回路 1 8、行アドレスデコーダ 1 2、ラッチ回路 1 1、ライトアンプ 1 6、センスアンプ 1 4、データアンプ 1 5 を備えている。

【0 0 0 6】

セルアレイ 1 3 は、1 ビットの情報を記憶するセルがアレイ状に配置された記

憶の主体である。ラッチ回路 17 は、行選択制御信号 A R A S を入力し、内部クロック I C L K に同期させたワード活性化信号 X E を出力する。ラッチ回路 18 は、ワード活性化信号 X E を内部クロック I C L K によって 1 クロック時間分遅延させたセンスアンプ活性化信号 S E を出力する。

【0007】

行アドレスデコーダ 12 は、行アドレス信号 X A D D とワード活性化信号 X E に基づいて行選択線 W L を選択する。ラッチ回路 11 は、列アドレス信号 Y A D D 2、バンク活性化信号 B A N K を入力し、内部クロック I C L K に同期して、ビット線対 B L を選択する。

【0008】

ライトアンプ 16 は、内部バス対 R W B U S と内部信号 B A N K に基づいて、書き込みデータ信号 W I を出力する。センスアンプ 14 は、読み出し時には、センスアンプ活性化信号 S E とビット線対 B L に基づいてセルアレイ 13 からデータを読み出して読み出しデータ信号 R O に出力し、書き込み時には、書き込みデータ信号 W I とセンスアンプ活性化信号 S E とビット線対 B L に基づいてデータをセルアレイ 13 に書き込む。データアンプ 15 は、読み出しデータ信号 R O、データアンプ活性化信号 D E、バンク活性化信号 B A N K に基づいて内部バス対 R W B U S に読み出したデータを出力する。

【0009】

図 6 に従ってデータの読み出しに関連する動作を説明する。データの読み出しは、まず読み出すデータが格納されているバンクに対してアクティブコマンドを発行し、バンクを活性化する。その後、活性化したバンクに対してリードコマンドを発行してデータを読み出すという 2 段階の手順となる。

【0010】

外部からサイクル C 4 において、バンク 10 に対してのアクティブコマンドを受けると、コマンドデコーダは、行選択制御信号 A R A S を活性化する。行選択制御信号 A R A S をラッチ回路 17 で内部クロック I C L K に基づいて 1 サイクル遅延させ、サイクル C 5 においてワード活性化信号 X E を活性化する。ワード活性化信号 X E が活性化すると、行アドレスデコーダ 12 によって行選択線 W L

が選択され、ビット線対 B L にメモリセルデータに応じた差電位が生じる。

【 0 0 1 1 】

ワード活性化信号 X E をさらにラッチ回路 1 8 によって 1 サイクル遅延させ、サイクル C 6 においてセンスアンプ活性化信号 S E を活性化する。センスアンプ活性化信号 S E が活性化するとビット線対 B L の差電位が増幅される。ここまですべてバンク 1 0 に対するアクティブコマンドの動作が完了する。

【 0 0 1 2 】

その後、リードコマンドが入力され、データを読み出す動作に移る。同一のバンクに対してのリードコマンドは、アクティブコマンドが発行されてから回路の動作時間を考慮して規定されている時間の後に発行される。図 6 では、リードコマンドは、もう一方のバンクであるバンク 2 0 に対して発行されている例であるため、サイクル C 5 においてリードコマンドが発行されている。リードコマンドが発行されてからの動作は同じであるので、ここでは、サイクル C 5 においてバンク 1 0 に対してリードコマンドが発行されたものと読み替えて説明する。

【 0 0 1 3 】

サイクル C 5 でバンク 1 0 に対してのリードコマンドが入力されると、読み出し信号 R E A D が活性化し、バンク 1 0 の読み出し動作が開始される。サイクル C 6 での内部クロック I C L K に同期してデータアンプ活性化信号 D E が活性化し、データアンプ 1 5 が活性化される。データアンプ 1 5 が活性化されると、読み出しデータは、内部バス対 R W B U S に伝達される。内部バス対 R W B U S に伝達された読み出しデータは、出力用のラッチ回路によって保持されて外部へ出力される。

【 0 0 1 4 】

このようにすると、ワード活性化信号 X E が活性化してからセンスアンプ活性化信号 S E が活性化するまでの時間は、プロセス、温度、電圧等によらず外部クロック 1 サイクル分の遅延値で動作する。

【 0 0 1 5 】

近年の D R A M にみられるような外部クロックが 4 0 0 M H z / 3 0 0 M H z (サイクルタイムは 2 . 5 n s / 3 . 3 n s) で使用される場合について、同様

の動作を考えてみる。図 7 は、ワード活性化信号 X E とセンスアンプ活性化信号 S E を生成する回路を示す。図 5 におけるラッチ回路 1 7、ラッチ回路 1 8 の回路に相当し、ディレイ 7 2 と、内部クロック I C L K に同期するフリップフロップ 5 段のシフトレジスタ 7 1 を備えている。ディレイ 7 2 はワード活性化信号 X E を、シフトレジスタ 7 1 はセンスアンプ活性化信号 S E を生成する。

【 0 0 1 6 】

ディレイ 7 2 は、ワード活性化信号 X E を伝達するためのバッファとして機能し、その遅延時間 γ は非常に小さい。ワード活性化信号 X E が活性化してからセンスアンプ活性化信号 S E が活性化するまでの時間は、セルアレイ 1 3 からビット線対 B L にデータを読み出す時間である。ビット線対 B L に生じる微妙な電位差が十分でない時に、センスアンプ活性化信号 S E が活性化してセンスアンプ 1 4 を駆動させると誤動作を生じる。そのため、外部クロックの周波数が高くなっても、ワード活性化信号 X E が活性化してからセンスアンプ活性化信号 S E が活性化するまでの時間を単純に短縮することはできないが、その時間を 12.5 ns とする。センスアンプ活性化信号 S E は、行選択制御信号 A R A S からシフトレジスタ 7 1 によって内部クロック I C L K 5 サイクル (12.5 ns) 遅延させて生成される。

【 0 0 1 7 】

図 8 は、外部クロックが 400 MHz の場合の動作を示すタイミングチャートである。アクティブコマンドが発行されてからリードコマンドが発行されるまでの最短時間 $t_{\text{RC D min}}$ は、回路の動作時間を考慮してクロック 7 サイクル (17.5 ns) と規定する。

【 0 0 1 8 】

アクティブコマンドを受けると、行選択制御信号 A R A S が活性化し、ディレイ 7 2 を介してワード活性化信号 X E が活性化する。行選択制御信号 A R A S をシフトレジスタ 7 1 で遅延させ、センスアンプ活性化信号 S E が 5 サイクル後 (サイクル C 5) に活性化する。

【 0 0 1 9 】

サイクル C 7 にリードコマンドを受けると、データアンプ活性化信号 D E が活

性化する。ところで、特開平08-129887には明記されていないが、データアンプ活性化信号DEが活性化する前に、センスアンプ選択信号YSが活性化し、読み出しデータ信号ROに微小差電位のリードデータが出てくることは周知の事実である。よって、リードコマンドを受けると、まずセンスアンプ選択信号YSが活性化し、読み出しデータ信号ROに微小差電位のリードデータが出力された後、データアンプ活性化信号DEが活性化し、読み出しデータ信号ROを増幅する。

【0020】

行選択制御信号ARRASが活性化してからセンスアンプ活性化信号SEが活性化するまでの時間は12.5 ns、センスアンプ活性化信号SEが活性化してからセンスアンプ選択信号YSが活性化するまでの時間は5.0 nsである。この遅延値は、外部クロックの周期で決まるため、プロセス、温度、電圧変動にはほとんど依存せず12.5 nsと5.0 ns付近に保たれる。

【0021】

この回路において、外部クロックが300 MHzとなった場合のタイミングチャートを図9に示す。アクティブコマンド発行からリードコマンド発行までの最短時間 t_{RCDmin} は、400 MHz動作時と同様にアクティブコマンド発行から7サイクルとすると、23.1 nsとなる。400 MHz動作時の17.5 nsに対して性能が低下するため、300 MHz動作時は t_{RCDmin} を6サイクルとして19.8 nsに短縮するのが一般的である。

【0022】

行選択制御信号ARRASが活性化してからセンスアンプ活性化信号SEが活性化するまでの時間は、内部クロックICKの5サイクル分であるから16.5 nsとなる。 t_{RCDmin} は、内部クロックICKの6サイクル分であるから19.8 nsとなり、センスアンプ活性化信号SEが活性化してからセンスアンプ選択信号YSが活性化するまでの時間は3.3 nsとなる。センスアンプ活性化信号SEが活性化してからセンスアンプ選択信号YSが活性化するまでの時間が3.3 nsでは、必要な遅延が得られずセンスマージンの悪化を招き、安定動作は不可能である。

【 0 0 2 3 】

これを回避するためには、性能低下を許容して、 $t_{RC Dmin}$ を7サイクル(23.1ns)とするか、センスアンプ活性化信号SEを生成する回路にクロック周期に依存しないで遅延時間を生成できるインバータチェーンで代表されるようなディレイを使わざるを得ない。インバータチェーン方式のディレイはプロセス、温度、電圧変動で大きく変動するため、あらゆる条件で安定した動作マージンを得ることが難しい。

【 0 0 2 4 】

クロック信号によって電源、温度依存などを排除する技術として、同期式マスクROMにおいて、センスアンプ活性化信号やラッチ取込信号を、コマンド入力信号を起点として、設定されたレイテンシのクロック数に応じたサイクル後のクロック信号の立ち上がり、または立ち下がりに同期させてパルス幅を決定し、タイミングを発生させ、電源、温度依存や、トランジスタのしきい値電圧依存に関係なくタイミングを適正化できる技術が知られていた(例えば、特許文献2参照)。

【 0 0 2 5 】

さらに、特開平10-199251号公報によれば、工程の変化や供給電圧のノイズ、温度変化等に影響を受けず、適切な時間が経過した後にセンスアンプを動作させることが可能なセンスアンプイネーブル信号発生装置を提供することを目的とし、メモリアレイの行アドレスを選択するためのRASB信号が入力されるとともに、クロック信号に同期して信号を出力し、前記RASB信号の入力が停止すると動作が停止するカウント手段と、このカウント手段によって出力されたカウント値が予めプログラムされた時間遅延設定値まで増加すると、センスアンプの動作開始を指示するセンスアンプイネーブル信号を出力し、前記RASB信号の入力が停止すると、前記センスアンプイネーブル信号の出力を停止する比較手段と、を備えることを特徴とする技術が知られていた。

【 0 0 2 6 】**【特許文献1】**

特開平8-129887号公報

【特許文献 2】

特開 2 0 0 0 - 2 8 5 6 8 7 号公報

【特許文献 3】

特開平 1 0 - 1 9 9 2 5 1 号公報

【0 0 2 7】**【発明が解決しようとする課題】**

本発明の目的は、想定される各周波数で最適な、且つプロセス、温度、電圧変動に対する変動量の小さいディレイを提供することにある。

【0 0 2 8】

また、本発明の他の目的は、使用される各周波数において安定に動作するクロック同期式半導体記憶装置を提供することにある。

【0 0 2 9】

さらに、本発明の他の目的は、本来持つ性能を十分に引き出し、コストパフォーマンスの高いメモリシステムを構築することにある。

【課題を解決するための手段】

以下に、[発明の実施の形態] で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と[発明の実施の形態] との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【0 0 3 0】

本発明の観点では、クロック同期式半導体記憶装置は、クロック情報記憶部（3 1）、動作タイミング生成部（4 0）、タイミング切替部（6 0）を具備している。クロック情報記憶部（3 1）は、外部から入力するクロックに関するクロック情報を記憶している。動作タイミング生成部（4 0）は、外部から入力するクロックに同期している内部クロックに基づいて複数の動作タイミングを生成する。タイミング切替部（6 0）は、クロック情報記憶部（3 1）で記憶しているクロック情報に基づいて、動作タイミング生成部（4 0）で生成する複数の動作タイミングから特定の動作タイミングを選択する。

【0 0 3 1】

上記のクロック同期式半導体記憶装置において、クロック情報は、外部から入力するクロックの周波数または周期を識別するコード化したデータである。

【0 0 3 2】

上記のクロック同期式半導体記憶装置において、動作タイミング生成部（4 0）で生成する動作タイミングは、センスイネーブル信号（S E）によって示されるセンスアンプ（1 4）を活性化するタイミングと、データアンプ活性化信号（D E）によって示されるデータアンプ（1 5）を活性化するタイミングとの少なくとも一方のタイミングを含んでいる。

【0 0 3 3】

上記のクロック同期式半導体記憶装置において、動作タイミング生成部（4 0）は、計数回路（4 1～4 6、5 1～5 3）と遅延回路（5 5、5 6、5 7）とを含んでいる。計数回路（4 1～4 6、5 1～5 3）は、内部クロックに基づいて遅延時間を計数する。遅延回路（5 5、5 6、5 7）は、組合せ回路によって遅延（アナログディレイ）を生成する。

【0 0 3 4】

上記のクロック同期式半導体記憶装置は、クロック情報記憶部（3 1）に記憶するクロック情報を入力する外部接続端子（3 2）を有する。クロック情報は、外部接続端子（3 2）から随時与えられる。

【0 0 3 5】

上記のクロック同期式半導体記憶装置は、クロック情報を製造の過程において予めクロック情報記憶部（3 1）に設定する。設定は、ヒューズ切断、ボンディングオプションなどで行ってもよい。

【0 0 3 6】

本発明の観点では、クロック同期式半導体記憶装置制御方法は、クロック情報記憶ステップと、動作タイミング生成ステップと、タイミング切替ステップとを具備している。クロック情報記憶ステップは、外部から入力するクロックに関するクロック情報を記憶する。動作タイミング生成ステップは、外部から入力するクロックに同期している内部クロックに基づいて複数の動作タイミングを生成す

る。タイミング切替ステップは、クロック情報記憶ステップで記憶しているクロック情報に基づいて、動作タイミング生成ステップで生成する複数の動作タイミングから特定の動作タイミングを選択する。

【0037】

上記のクロック同期式半導体記憶装置制御方法において、クロック情報は、外部から入力するクロックの周波数または周期を識別するコード化したデータである。

【0038】

上記のクロック同期式半導体記憶装置制御方法において、動作タイミング生成ステップで生成する動作タイミングは、センスアンプ（14）を活性化するタイミングと、データアンプ（15）を活性化するタイミングとの少なくとも一方を含んでいる。

【0039】

上記のクロック同期式半導体記憶装置制御方法において、動作タイミング生成ステップは、計数ステップと遅延ステップとを含んでいる。計数ステップは、内部クロックを計数してタイミングを生成する。遅延ステップは、内部クロックと非同期にタイミングを生成する。

【0040】

上記のクロック同期式半導体記憶装置制御方法において、クロック情報記憶ステップで記憶するクロック情報は、外部接続端子（32）を通して随時入力される。

【0041】

上記のクロック同期式半導体記憶装置制御方法において、クロック情報記憶ステップで記憶するクロック情報は、予めクロック情報記憶ステップに組み込まれている。

【0042】

【発明の実施の形態】

本発明のクロック同期式半導体記憶装置の一実施形態について説明する。

【0043】

図 1 は、従来の技術で説明した部分に対応する本発明によるクロック同期式半導体記憶装置の 1 バンクと共通回路部分に設けられるクロック情報記憶部 3 1 の構成を示したものである。クロック同期式半導体記憶装置は、複数のバンクを含むことが多く、その複数のバンクを共通に制御する回路が存在し、当業者にとってよく知られているので図示はしない。クロック情報記憶部 3 1 は、バンクごとに設けてもよいが、クロック同期式半導体記憶装置の各バンクで共通に使用できるため、装置の共通回路部分に設けるものとする。

【 0 0 4 4 】

クロック情報記憶部 3 1 は、レジスタを備え、使用される外部クロックの周波数を示すコードデータを記憶している。ここでは、クロック周波数 4 0 0 M H z と 3 0 0 M H z を示すために、クロック周波数 4 0 0 M H z に対してコード 1 を、クロック周波数 3 0 0 M H z に対してコード 0 を対応させる。1 ビットの情報であるから、フリップフロップに情報を保持してもよい。外部クロックの種類は、3 種以上であってもよく、それぞれを識別するコードデータで記憶している。記憶する情報は、随時外部入力端子 3 2 から与えられ、レジスタに記憶している。また、レジスタではなく、ヒューズ切断やボンディングオプションなどによって、製造する過程で予め記憶させておいてもよい。記憶しているクロック情報は、バンク制御部 2 1 にクロック情報信号 $c y c 3 0 0$ 、 $c y c 4 0 0$ として出力される。クロック情報信号 $c y c 3 0 0$ 、 $c y c 4 0 0$ は、それぞれ外部クロック 3 0 0 M H z、4 0 0 M H z に対応している。

【 0 0 4 5 】

バンク 1 0 は、セルアレイ 1 3、Y S 生成回路 2 2、バンク制御部 2 1、行アドレスデコーダ 1 2、ラッチ回路 1 1、ライトアンプ 1 6、センスアンプ 1 4、データアンプ 1 5 を備えている。

【 0 0 4 6 】

セルアレイ 1 3 は、1 ビットの情報を記憶するセルがアレイ状に配置された記憶の主体である。Y S 生成回路 2 2 は、センスアンプを選択するセンスアンプ選択信号 Y S を列選択制御信号 C A S から内部クロック I C L K に同期させて生成する。

【0 0 4 7】

バンク制御部 2 1 は、行選択制御信号 A R A S、列選択制御信号 C A S を入力し、クロック情報記憶部 3 1 に記憶しているクロック情報と内部クロック I C L K に基づいて、ワード活性化信号 X E、センスアンプ活性化信号 S E、データアンプ活性化信号 D E を出力する。

【0 0 4 8】

行アドレスデコーダ 1 2 は、行アドレス信号 X A D D とワード活性化信号 X E に基づいて行選択線 W L を選択する。ラッチ回路 1 1 は、列アドレス信号 Y A D D 2、バンク活性化信号 B A N K を入力し、内部クロック I C L K に同期して、ビット線対 B L を選択する。

【0 0 4 9】

ライトアンプ 1 6 は、内部バス対 R W B U S と内部信号 B A N K に基づいて、書き込みデータ信号 W I を出力する。センスアンプ 1 4 は、センスアンプ選択信号 Y S で選択され、読み出し時には、センスアンプ活性化信号 S E とビット線対 B L に基づいてセルアレイ 1 3 からデータを読み出して読み出しデータ信号 R O に出力し、書き込み時には、書き込みデータ信号 W I とセンスアンプ活性化信号 S E とビット線対 B L に基づいてデータをセルアレイ 1 3 に書き込む。データアンプ 1 5 は、読み出しデータ信号 R O、データアンプ活性化信号 D E、バンク活性化信号 B A N K に基づいて内部バス対 R W B U S に読み出したデータを出力する。

【0 0 5 0】

バンク制御部 2 1 は、図 2 に示すように、動作タイミング生成部 4 0 とタイミング切替部 6 0 とを備えている。動作タイミング生成部 4 0 は、フリップフロップによる計数回路部分と組合せ回路による遅延回路部分を含んでいる。

【0 0 5 1】

計数回路部分は、フリップフロップによるシフトレジスタによって、行選択制御信号 A R A S と列選択制御信号 C A S の 2 系統の入力信号に対してそれぞれ 2 種類の内部クロック I C L K に同期した遅延を生成する。行選択制御信号 A R A S に対して、3. 5 サイクル分の遅延をフリップフロップ 4 1、4 2、4 3、4

6で、5サイクル分の遅延をフリップフロップ41、42、43、44、45で形成するシフトレジスタによって生成する。列選択制御信号CASに対して、2サイクル分の遅延をフリップフロップ51、52で、2.5クロック分の遅延をフリップフロップ51、52、53で形成するシフトレジスタによって生成する。

【0052】

遅延回路部分は、組合せ回路によって遅延（アナログディレイ）を生成する。遅延時間 γ のタイミングを生成するディレイ55、遅延時間 α のタイミングを生成するディレイ56、遅延時間 β を生成するディレイ57を備えている。

【0053】

計数回路部分と遅延回路部分の組合せによって、ワード活性化信号XEと、センスアンプ活性化信号SEの基になる2種類の信号と、データアンプ活性化信号DEの基になる2種類の信号が生成される。ワード活性化信号XEは、ディレイ55によって、行選択制御信号ARASから遅延時間 γ だけ遅れる信号となる。行選択制御信号ARASから、さらに、センスアンプ活性化信号SEの基になる内部信号SEAと内部信号SEBの2種類の信号が生成される。内部信号SEAは、行選択制御信号ARASから3.5サイクル+ α の遅延と、内部信号SEBは、5サイクルの遅延となる。データアンプ活性化信号DEの基になる2種類の信号は、列選択制御信号CASから2サイクル遅延した内部信号DEAと2.5サイクル+ β 遅延した内部信号DEB信号である。

【0054】

タイミング切替部60は、クロック情報記憶部31に記憶されているクロック情報によって動作タイミング生成部40で生成した信号を選択し、切り替える。クロック情報記憶部31から入力するクロック情報信号cyc300とクロック情報信号cyc400は、それぞれ外部クロック300MHz、400MHzに対応した信号を選択することを指示している。タイミング切替部60は、セレクト回路61とセレクト回路62を備えている。セレクト回路61は、A側に接続する内部信号SEAとB側に接続する内部信号SEBからセンスアンプ活性化信号SEを選択する。セレクト回路62は、A側に接続する内部信号DEAとB側

に接続する内部信号 D E B からデータアンプ活性化信号 D E を選択する。クロック情報信号 c y c 3 0 0 によって、セクタ回路 6 1 とセクタ回路 6 2 の A 側が、クロック情報信号 c y c 4 0 0 によって、セクタ回路 6 1 とセクタ回路 6 2 の B 側が選択される。

【0 0 5 5】

図 3 は、クロック情報記憶部 3 1 から c y c 4 0 0 が出力されているとき（外部クロック 4 0 0 M H z 動作時）の動作を示すタイミングチャートである。アクティブコマンドによってロウアドレスを確定してからリードコマンドによってカラムアドレスを確定するまでの時間 t_{RCD} は、7 サイクルとしてあるので、アクティブコマンドは、サイクル C 0 で、リードコマンドはサイクル C 7 で入力される。タイミング切替部 6 0 は、B 側が選択されている状態になっている。

【0 0 5 6】

サイクル C 0 において、アクティブコマンドを受けると、行選択制御信号 A R A S が活性化し、ディレイ 5 5 によって遅延時間 γ 後にワード活性化信号 X E が活性化する。行選択制御信号 A R A S から 5 サイクル遅延して内部信号 S E B が活性化する。この信号がタイミング切替部 6 0 でセンスアンプ活性化信号 S E として選択され、センスアンプを活性化する。行選択制御信号 A R A S が活性化してからセンスアンプ活性化信号 S E が活性化するまでの遅延時間は、 $2.5 \text{ ns} \times 5 \text{ サイクル} = 12.5 \text{ ns}$ となる。

【0 0 5 7】

サイクル C 7 において、リードコマンドを受けると、列選択制御信号 C A S が活性化し、Y S 生成回路 2 2 で内部クロック I C L K に同期したセンスアンプ選択信号 Y S が生成される。一方、列選択制御信号 C A S は動作タイミング生成部 4 0 に入力され、内部信号 D E B が列選択制御信号 C A S から $2.5 \text{ サイクル} + \beta$ 遅延して活性化する。この信号が、データアンプ活性化信号 D E としてタイミング切替部 6 0 によって選択される。データアンプ活性化信号 D E によってデータアンプが活性化し、読み出しデータが出力される。センスアンプ選択信号 Y S が活性化してからデータアンプ活性化信号 D E が活性化するまでの遅延時間は、 $2.5 \text{ ns} \times 2.5 \text{ サイクル} + \beta = 6.6 \text{ ns}$ となる。

【0 0 5 8】

次に、外部クロックが 3 0 0 M H z の場合の動作について、図 4 に示すタイミングチャートによって説明する。クロック情報記憶部 3 1 から c y c 3 0 0 が出力され、タイミング切替部 6 0 は、A 側の信号が選択される状態になっている。外部クロックが 4 0 0 M H z の場合に 7 サイクルであった時間 t R C D は、1 サイクル少ない 6 サイクルとし、アクティブコマンドはサイクル C 0 で、リードコマンドはサイクル C 6 で入力される。

【0 0 5 9】

サイクル C 0 において、アクティブコマンドを受けると、行選択制御信号 A R A S が活性化し、ディレイ 5 5 によって遅延時間 γ 後にワード活性化信号 X E が活性化する。行選択制御信号 A R A S から 3. 5 サイクル + α 遅延して内部信号 S E A が活性化し、タイミング切替部 6 0 でセンスアンプ活性化信号 S E として選択される。センスアンプ活性化信号 S E によってセンスアンプを活性化する。行選択制御信号 A R A S が活性化してからセンスアンプ活性化信号 S E が活性化するまでの遅延時間は、 $3. 3 \text{ ns} \times 3. 5 \text{ サイクル} + \alpha = 12. 5 \text{ ns}$ となる。

【0 0 6 0】

サイクル C 6 において、リードコマンドを受けると、列選択制御信号 C A S が活性化し、Y S 生成回路 2 2 で内部クロック I C L K に同期したセンスアンプ選択信号 Y S が生成される。一方、列選択制御信号 C A S は動作タイミング生成部 4 0 に入力され、内部信号 D E A が列選択制御信号 C A S から 2 サイクル遅延して活性化する。この信号が、データアンプ活性化信号 D E としてタイミング切替部 6 0 によって選択される。データアンプ活性化信号 D E によってデータアンプが活性化し、読み出しデータが出力される。センスアンプ選択信号 Y S が活性化してからデータアンプ活性化信号 D E が活性化するまでの遅延時間は、 $3. 3 \text{ ns} \times 2 \text{ サイクル} = 6. 6 \text{ ns}$ となる。

【0 0 6 1】

以上から、行選択制御信号 A R A S が活性化してからセンスアンプ活性化信号 S E が活性化するまでの時間は、4 0 0 M H z の時には $2. 5 \text{ ns} \times 5 \text{ サイクル}$

$= 12.5 \text{ ns}$ 、 300 MHz の時には $3.3 \text{ ns} \times 3.5 \text{ サイクル} + \alpha = 12.5 \text{ ns}$ となっている。また、データアンプ活性化信号 DE は、列選択制御信号 CAS が活性化し、センスアンプ選択信号 YS が活性化してから、 400 MHz の時 $2.5 \text{ サイクル} + \beta$ 後に、 300 MHz の時 2 サイクル 後に活性化し、リードデータが出力される。センスアンプ選択信号 YS が活性化してからデータアンプ活性化信号 DE が活性化するまでの時間は、 400 MHz の時 $2.5 \text{ ns} \times 2.5 + \beta = 6.6 \text{ ns}$ 、 300 MHz の時 $3.3 \text{ ns} \times 2 = 6.6 \text{ ns}$ と一定にすることができる。遅延時間 α (0.95 ns)、 β (0.35 ns)は、インバータ遅延のディレイで作っているため、プロセス、温度、電圧などによる遅延値の変動がみられる。遅延時間 α 、 β の絶対値はそれぞれ 0.95 ns 、 0.35 ns と短時間である。プロセス、温度、電圧などによる遅延の変動量は、さらに短時間となり、全体の遅延時間に対する影響は小さい。

【0062】

また、従来の回路をそのまま拡張した回路で、必要な遅延が得られずセンスマージンの悪化を招くおそれのあった、センスアンプ活性化信号 SE が活性化してからセンスアンプ選択信号 YS が活性化するまでの時間は、 400 MHz の時 $2.5 \text{ ns} \times 2 \text{ サイクル} = 5 \text{ ns}$ 、 300 MHz の時 $3.3 \times 2.5 \text{ サイクル} - \alpha = 7.3 \text{ ns}$ となり、安定動作が可能となる。

【0063】

【発明の効果】

本発明によれば、プロセス、温度、電圧変動による影響が少ない安定した、かつ動作速度に対する適切なディレイ回路を実現することができる。

【0064】

また、本発明によれば、クロック周波数の情報を用いてクロック数を切り替えることによって各周波数に応じて安定した動作を行うクロック同期式半導体記憶装置を提供することができる。

【0065】

さらに、本発明によれば、クロック周波数に応じた $t_{RC Dmin}$ などの時間設定が可能となり、本来持つ性能を十分に引き出し、コストパフォーマンスの高

いメモリシステムを構築することができる。

【図面の簡単な説明】

【図 1】 実施の形態に係るクロック同期式半導体記憶装置におけるバンクの構成を示すブロック図である。

【図 2】 同バンク制御部の構成を示すブロック図である。

【図 3】 同 400MHz 動作時の動作を説明するタイミングチャートである。

【図 4】 同 300MHz 動作時の動作を説明するタイミングチャートである。

【図 5】 従来のクロック同期式半導体記憶装置におけるバンクの構成を示すブロック図である。

【図 6】 同バンクの動作を説明するタイミングチャートである。

【図 7】 同バンクの動作クロックを高速化した場合のタイミングを生成する回路を示す回路図である。

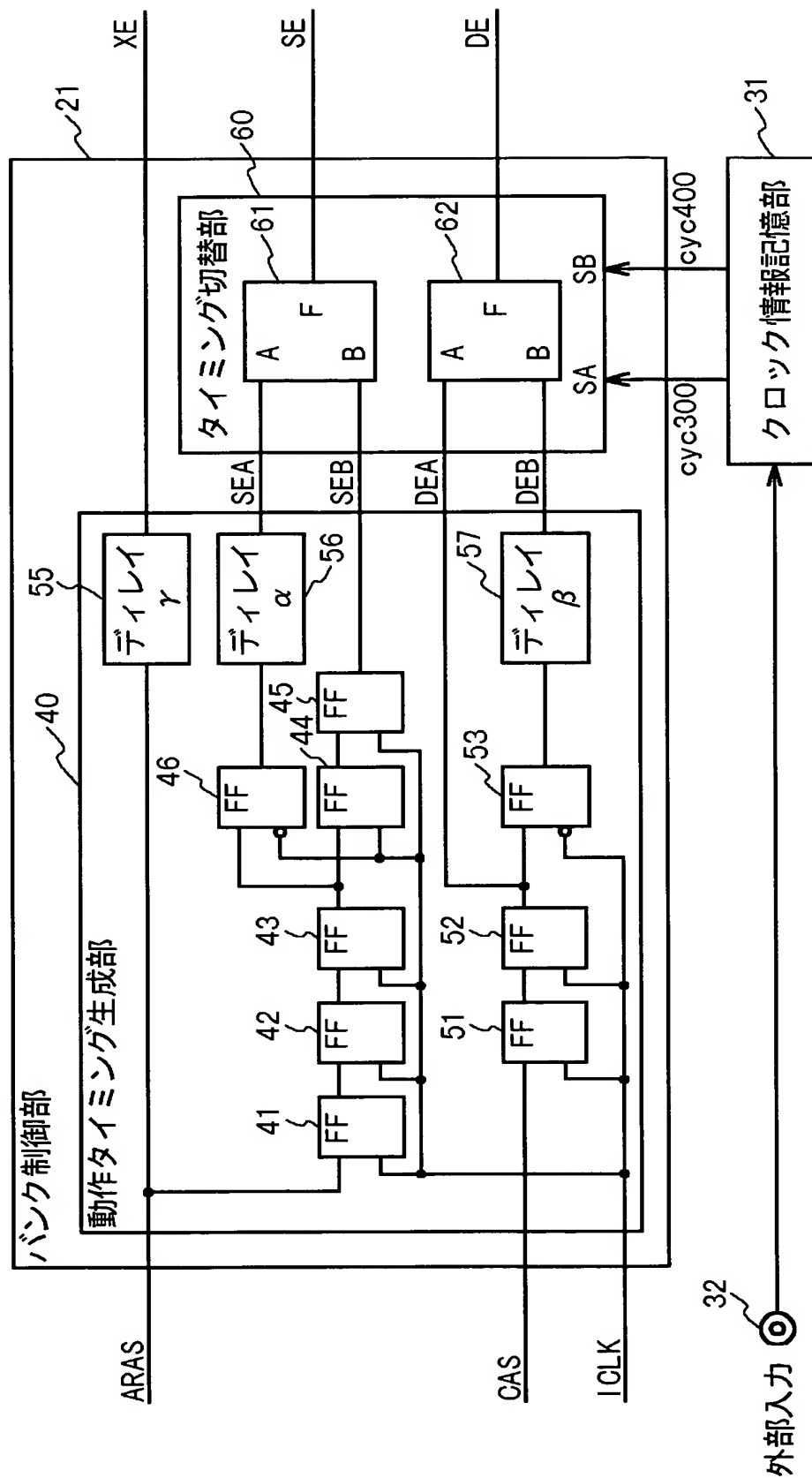
【図 8】 同バンクの 400MHz 動作時の動作を説明するタイミングチャートである。

【図 9】 同バンクの 300MHz 動作時の動作を説明するタイミングチャートである。

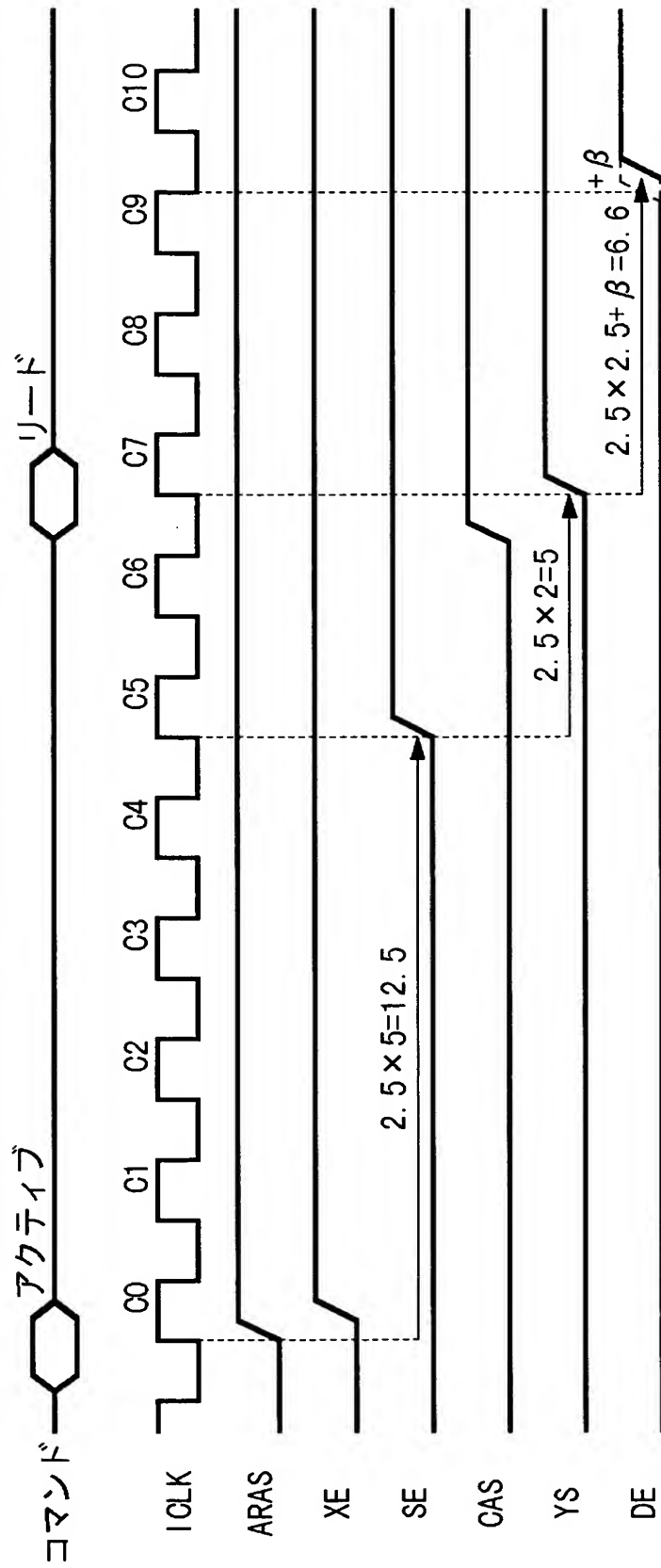
【符号の説明】

- 10 バンク
- 11 ラッチ回路
- 12 行アドレスデコーダ
- 13 セルアレイ
- 14 センスアンプ
- 15 データアンプ
- 16 ライトアンプ
- 17 ラッチ回路
- 18 ラッチ回路
- 21 バンク制御部

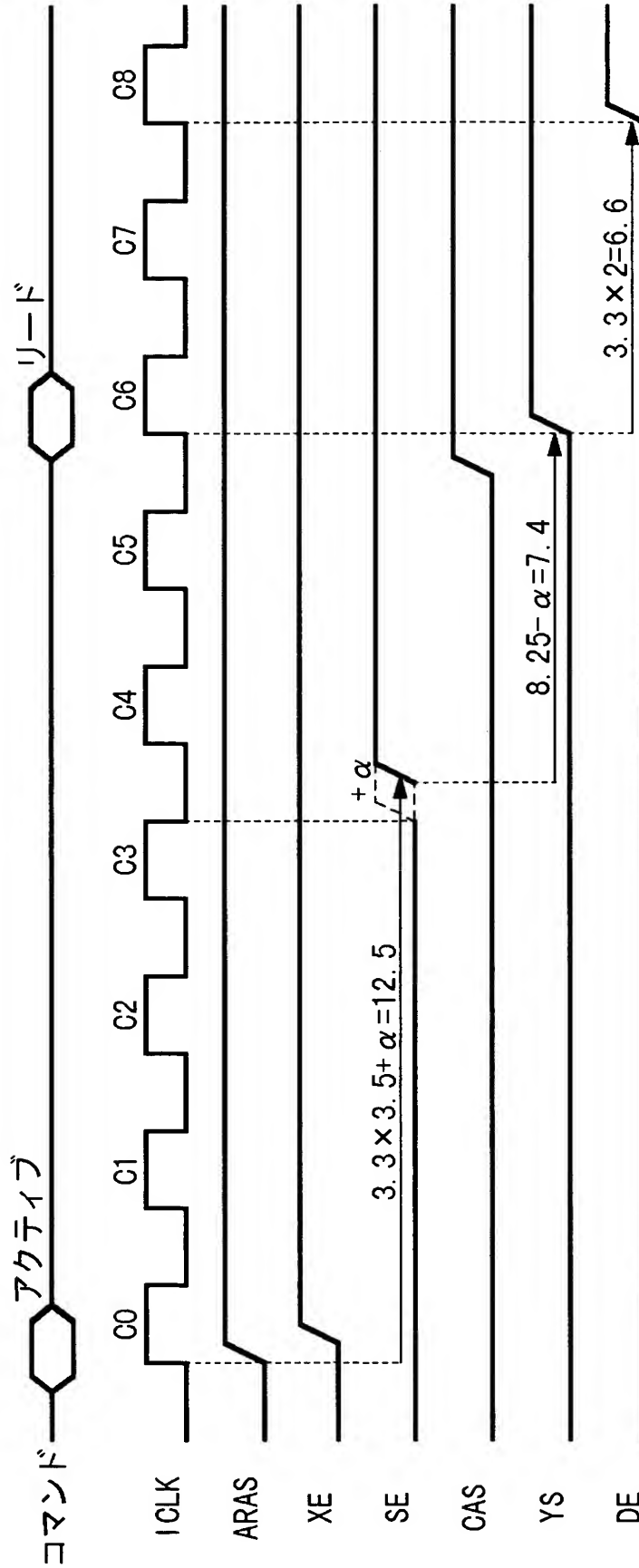
- 2 2 Y S 生成回路
- 3 1 クロック情報記憶部
- 3 2 外部入力端子
- 4 0 動作タイミング生成部
- 4 1 フリップフロップ
- 4 2 フリップフロップ
- 4 3 フリップフロップ
- 4 4 フリップフロップ
- 4 5 フリップフロップ
- 4 6 フリップフロップ
- 5 1 フリップフロップ
- 5 2 フリップフロップ
- 5 3 フリップフロップ
- 5 5 デイレイ
- 5 6 デイレイ
- 5 7 デイレイ
- 6 0 タイミング切替部
- 6 1 セレクタ回路
- 6 2 セレクタ回路
- 7 1 シフトレジスタ
- 7 2 デイレイ



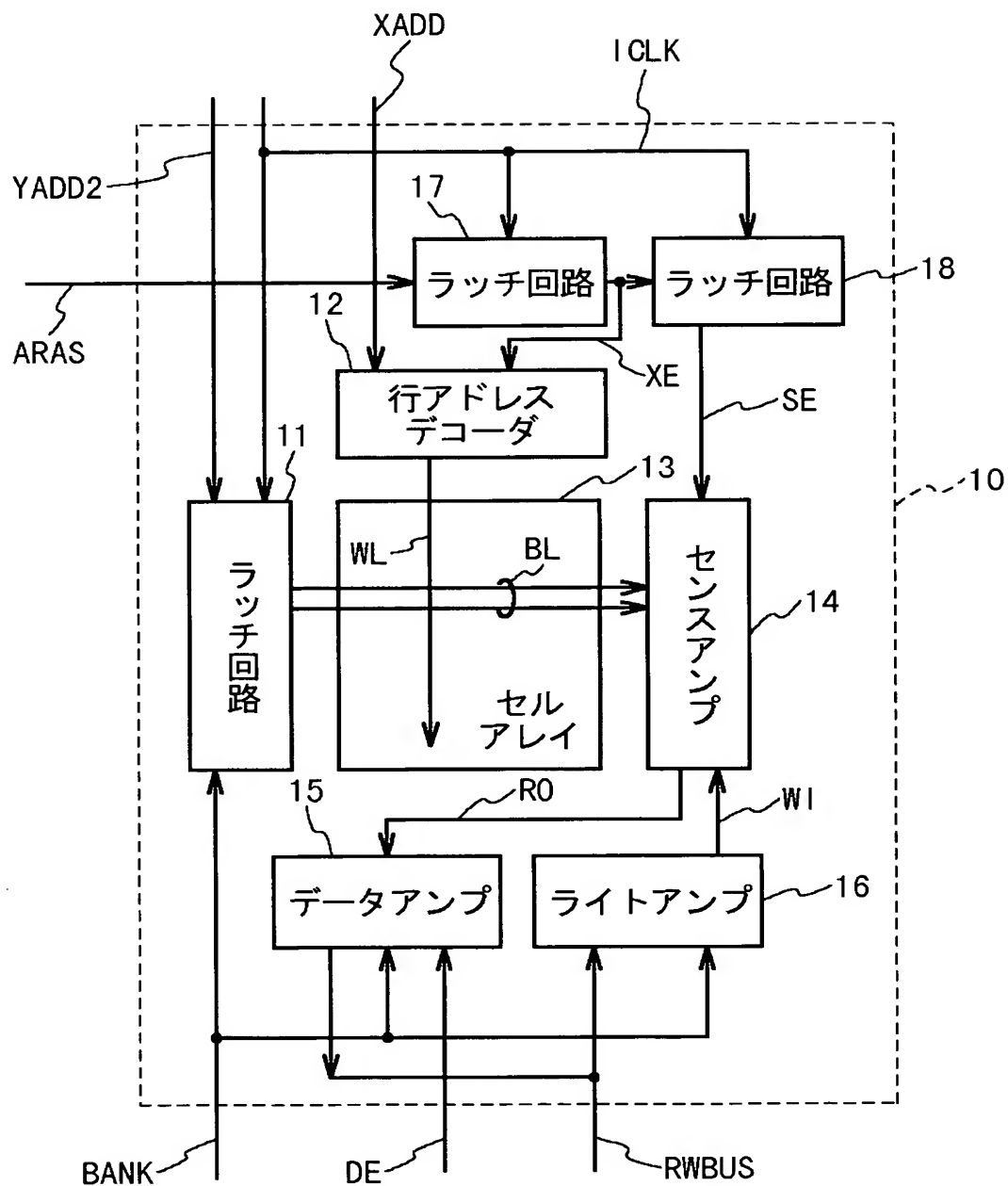
【図 3】



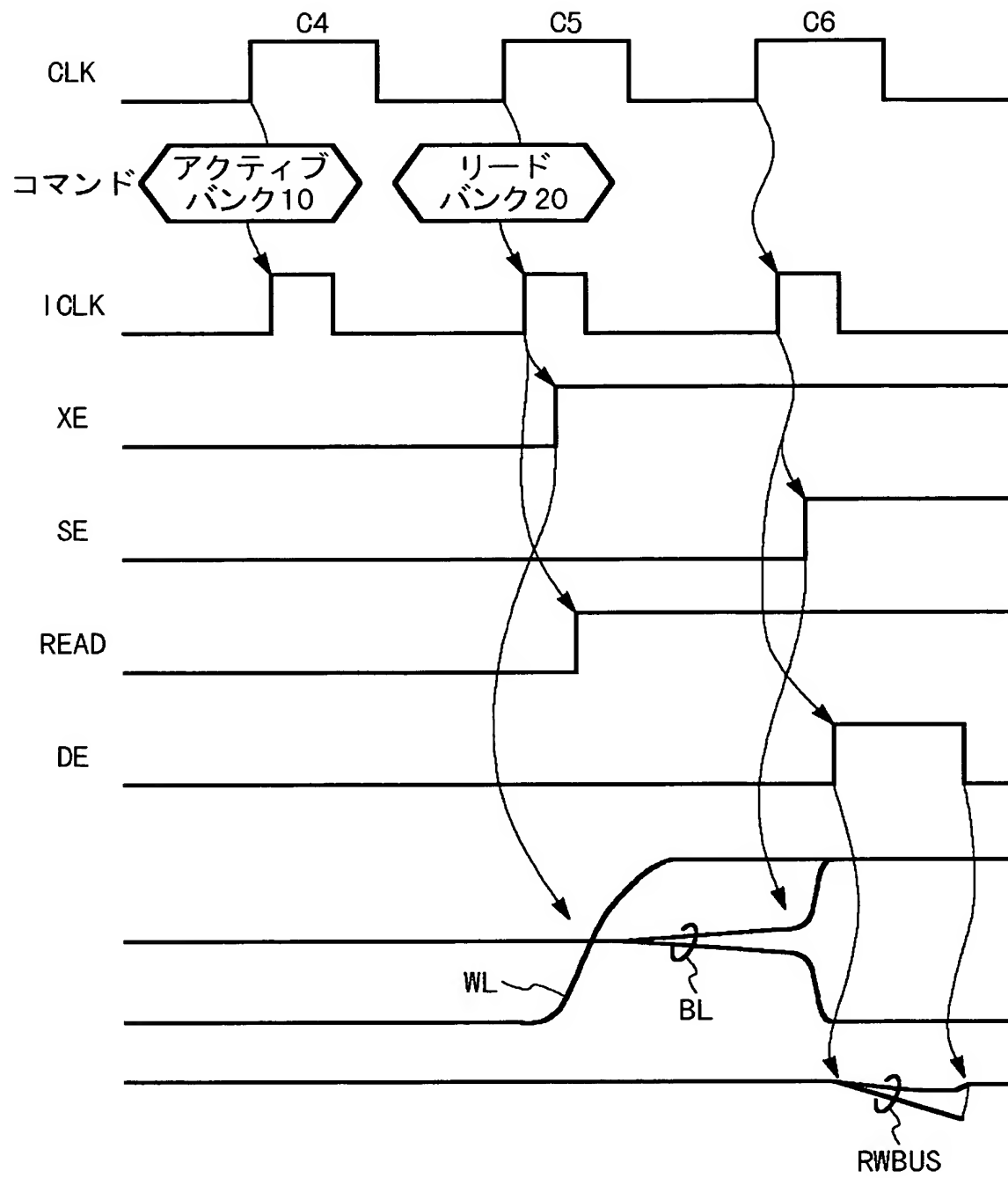
【図 4】



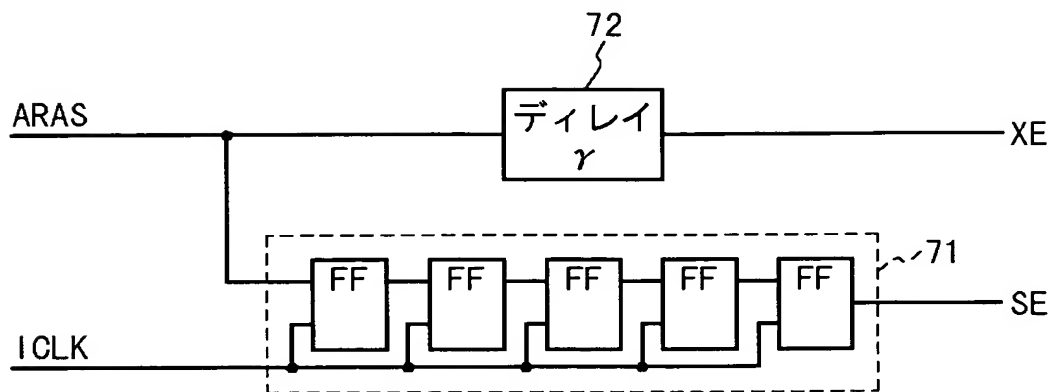
【図 5】



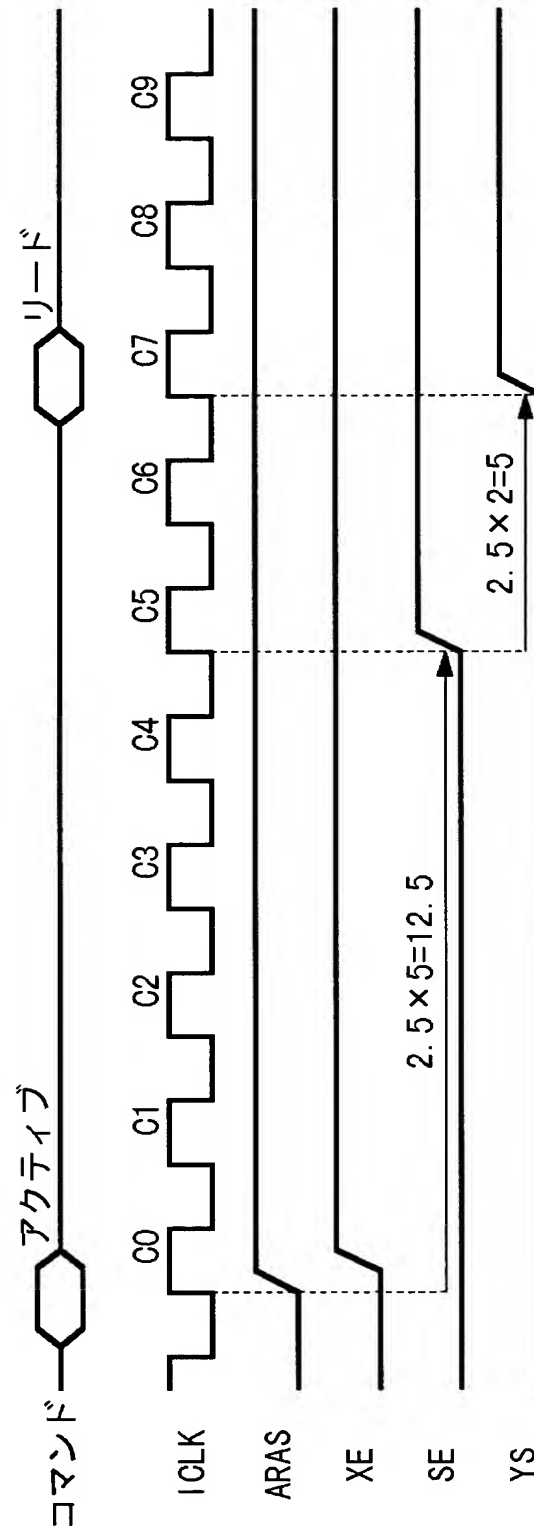
【図 6】



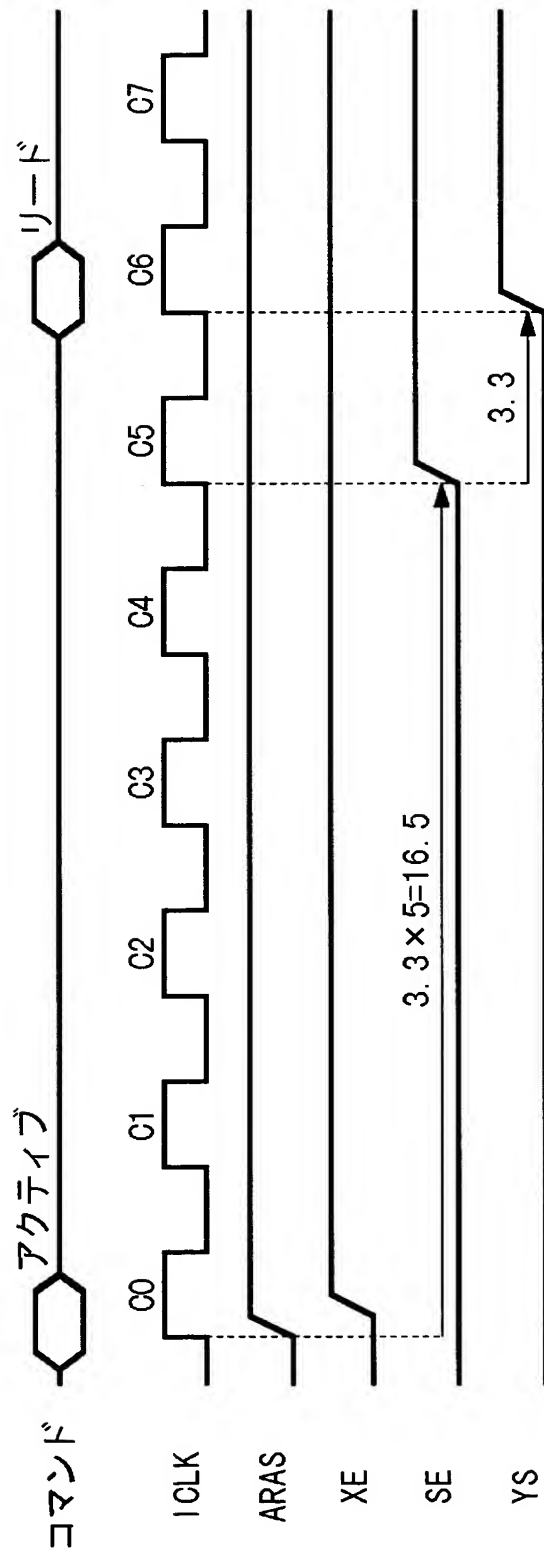
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、クロック同期式半導体記憶装置において、使用される各周波数で最適な、かつプロセス、温度、電圧変動に対する変動量の小さいデバイスを提供することにある。

【解決手段】 本発明のクロック同期式半導体記憶装置は、クロック情報記憶部、動作タイミング生成部、タイミング切替部を具備している。クロック情報記憶部は、入力するクロックに関するクロック情報を記憶している。動作タイミング生成部は、外部クロックに同期する内部クロックに基づいて複数の動作タイミングを生成する。タイミング切替部は、動作タイミング生成部で生成する動作タイミングからクロック情報記憶部で記憶しているクロック情報に基づいて動作のタイミングを選択する。

【選択図】 図 2



特願 2 0 0 3 - 0 6 1 4 2 0

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社